

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270808

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 27/146

H01L 27/08

H01L 31/10

(21)Application number : 2001-070211

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.03.2001

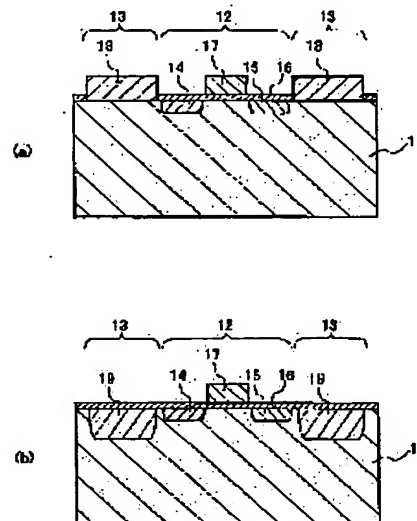
(72)Inventor : YAMAGUCHI TAKUMI

(54) MOS-TYPE IMAGE SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS type image sensor having small noises resulting from a leakage current.

SOLUTION: In the MOS type image sensor in which an image-sensing region in which a plurality of pixels are arranged and a peripheral circuit region containing a driver circuit for operating the image-sensing region are mounted on the same substrate, the pixels comprise photodiodes and at least MOS transistors in the image-sensing region and the driver circuit contains a plurality of the MOS transistors in the peripheral circuit region, element isolation sections for electrically isolating the mutual MOS transistors are composed of at least one of insulating films 18 formed on the substrate and impurity diffusion regions 19 formed in the substrate, so as not to erode the substrate in the image-sensing region and the peripheral circuit region.



LEGAL STATUS

[Date of request for examination]

17.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-270808
(P2002-270808A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/146		H 0 1 L 27/08	3 3 1 A 4 M 1 1 8
27/08	3 3 1	27/14	A 5 F 0 4 8
31/10		31/10	A 5 F 0 4 9
			G

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願2001-70211(P2001-70211)

(22) 出願日 平成13年3月13日 (2001.3.13)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山口 ▲琢▼己

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

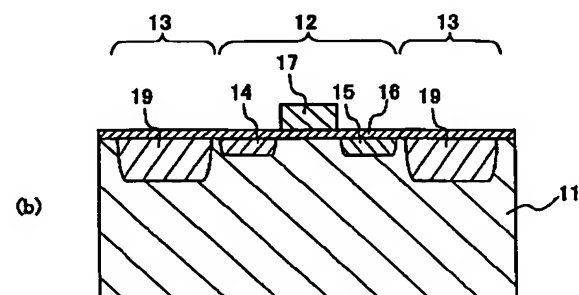
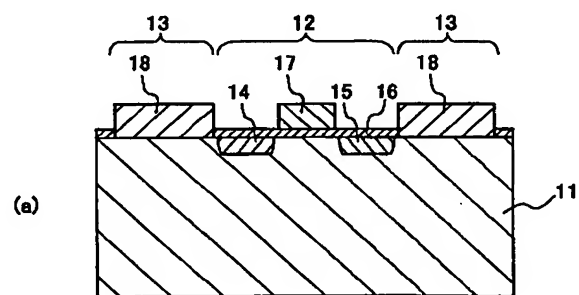
最終頁に続く

(54) 【発明の名称】 MOS型撮像装置

(57) 【要約】

【課題】 リーク電流に起因する雑音の小さいMOS型撮像装置を提供する。

【解決手段】 同一基板上に、複数の画素が配列された撮像領域と、前記撮像領域を動作させるための駆動回路を含む周辺回路領域とを備え、前記撮像領域においては、前記画素がフォトダイオードおよび少なくとも1つのMOSトランジスタを含み、前記周辺回路領域においては、前記駆動回路が複数のMOSトランジスタを含むMOS型撮像装置において、前記撮像領域および前記周辺回路領域において、MOSトランジスタ同士間を電気的に分離する素子分離部を、前記基板を侵食しないように前記基板上に形成された絶縁膜18、および、前記基板内に形成された不純物拡散領域19の少なくとも一方で構成する。



【特許請求の範囲】

【請求項1】 同一基板上に、複数の増幅型単位画素が配列された撮像領域と、前記撮像領域を動作させるための駆動回路を含む周辺回路領域とを備え、前記撮像領域においては、前記増幅型単位画素がフォトダイオードおよび複数のMOSトランジスタを含み、このMOSトランジスタ同士間が第1の素子分離部により電気的に分離されており、前記周辺回路領域においては、前記駆動回路が複数のMOSトランジスタを含み、このMOSトランジスタ同士間が第2の素子分離部により電気的に分離されたMOS型撮像装置であって、前記第1の素子分離部および前記第2の素子分離部が、前記基板を侵食しないように前記基板上に形成された絶縁膜、および、前記基板内に形成された不純物拡散領域から選ばれる少なくとも一方であることを特徴とするMOS型撮像装置。

【請求項2】 前記不純物拡散領域が、イオン注入により形成されたものである請求項1に記載のMOS型撮像装置。

【請求項3】 前記絶縁膜の膜厚が、1～1000nmである請求項1または2に記載のMOS型撮像装置。

【請求項4】 前記撮像領域において、前記フォトダイオードに隣接するように形成された前記第1の素子分離部が、前記基板内に形成された不純物拡散領域で構成されている請求項1～3のいずれかに記載のMOS型撮像装置。

【請求項5】 前記増幅型単位画素を構成するMOSトランジスタおよび前記駆動回路を構成するMOSトランジスタが、全てnチャンネルMOSトランジスタであるか、または、全てpチャンネルMOSトランジスタである請求項1～4のいずれかに記載のMOS型撮像装置。

【請求項6】 前記駆動回路の少なくとも一部が、ダイナミック回路である請求項1～5のいずれかに記載のMOS型撮像装置。

【請求項7】 前記フォトダイオードの表層部に、暗電流抑制層が形成されている請求項1～6のいずれかに記載のMOS型撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルカメラ等に使用されるMOS型撮像装置に関するものである。

【0002】

【従来の技術】 MOS型撮像装置は、各画素に形成されたMOSトランジスタを含む増幅回路を用いて、各画素の信号を増幅して読み出すイメージセンサである。近年、このMOS型撮像装置、特に、CMOS (complementary MOS) プロセスで製造されるいわゆるCMOSイメージセンサは、低電圧・低消費電力であり、周辺回路とワン・チップ化できるという長所を有するため、PC用小型カメラなどの携帯機器の画像入力素子として注目

されている。

【0003】 図2は、MOS型撮像装置の構成の一例を示す図である。このMOS型撮像装置は、同一の半導体基板上に、複数の画素6が二次元状に配列された撮像領域7と、画素選択のための垂直シフトレジスタ8および水平シフトレジスタ9と、前記シフトレジスタに必要なパルスを供給するタイミング発生回路10とを備えている（以下、撮像領域7以外の領域、すなわち垂直シフトレジスタ8、水平シフトレジスタ9およびタイミング発生回路10を含む領域を、「周辺回路領域」という。）。

撮像領域7においては、各画素6が、フォトダイオード1と、転送用トランジスタ2、リセット用トランジスタ3、増幅用トランジスタ4および選択用トランジスタ5の4個のMOSトランジスタとで構成されている。また、周辺回路領域においては、垂直シフトレジスタ8、水平シフトレジスタ9およびタイミング発生回路10が、複数のMOSトランジスタを用いて構成されている。

【0004】 従来のMOS型撮像装置においては、周辺回路領域の各回路が、nチャンネルMOSトランジスタとpチャンネルMOSトランジスタを両方使用するCMOS技術を用いて設計されている。一方、撮像領域においては、各画素を構成するMOSトランジスタの全てが、nチャンネルMOSトランジスタである。この画素を構成するnチャンネルMOSトランジスタは、通常、周辺回路領域で使用されるnチャンネルMOSトランジスタと同一構造とされる。

【0005】 図4は、従来のMOS型撮像装置の周辺回路領域に用いられるCMOSトランジスタの構造を示す断面図である。半導体基板21内に、n型ウェル26およびp型ウェル25が形成されている。n型ウェル内26にpチャンネルMOSトランジスタ22が、p型ウェル25内にnチャンネルMOSトランジスタ23がそれぞれ形成されており、このトランジスタ同士間は、素子分離部24により電気的に分離されている。素子分離部24には、選択酸化法（LOCOS: local oxidation of silicon）により形成された酸化膜27が用いられる。また、更に微細化が進むと、素子分離部には、図5に示すように、STI (Shallow Trench Isolation) により形成された酸化膜28が用いられる。

【0006】

【発明が解決しようとする課題】 MOS撮像装置は、前述したように各画素内に増幅回路を備えているため、少ない信号を増幅でき、高感度を実現できるという特徴を有している。その反面、フォトダイオードに漏れ込むリーク電流が大きいと、それが増幅されてしまうため、大きな雑音となるという問題があった。

【0007】 上記従来のMOS型撮像装置においては、前述したように、画素を構成するnチャンネルMOSトランジスタは、周辺回路領域で使用されるnチャンネル

3

MOSトランジスタ、すなわち、CMOSトランジスタのnチャンネルMOSトランジスタと同一構造とされる。また、トランジスタ間の素子分離部の構造についても、撮像領域と周辺回路領域とで同一構造とされる。

【0008】しかしながら、周辺回路領域に用いられるCMOSトランジスタは、半導体LSIの微細化技術の大きな流れを受けて開発されたものであり、高速化を主な目的として製造がチューニングされており、リーク電流には注意が払われていないのが現状である。例えば、図4に示すようなCMOSトランジスタにおいては、素子分離部に用いられる酸化膜27は、基板21の熱酸化により形成されるため、その膜厚の約半分程度が基板21を侵食している。また、図5に示すCMOSトランジスタにおいては、素子分離部に用いられる酸化膜28は、基板21に形成された溝を充填するものであり、その膜厚全部が基板21を侵食している。このような素子分離部においては、基板の酸化膜で侵食された部分に大きなストレスが発生するため、大きなリーク電流が発生する。そのため、このようなCMOSトランジスタの素子分離構造をそのまま撮像領域に適用すると、リーク電流による雑音が非常に大きくなるという問題があった。

【0009】本発明は、リーク電流に起因する雑音の小さいMOS型撮像装置を提供することを目的とする。

【0010】

【課題を解決するための手段】前記目的を達成するため、同一基板上に、複数の増幅型単位画素が配列された撮像領域と、前記撮像領域を動作させるための駆動回路を含む周辺回路領域とを備え、前記撮像領域においては、前記増幅型単位画素がフォトダイオードおよび複数のMOSトランジスタを含み、このMOSトランジスタ同士間が第1の素子分離部により電気的に分離されており、前記周辺回路領域においては、前記駆動回路が複数のMOSトランジスタを含み、このMOSトランジスタ同士間が第2の素子分離部により電気的に分離されたMOS型撮像装置であって、前記第1の素子分離部および前記第2の素子分離部が、前記基板を侵食しないように前記基板上に形成された絶縁膜、および、前記基板内に形成された不純物拡散領域から選ばれる少なくとも一方であることを特徴とする。

【0011】なお、「第1の素子分離部」は、同一画素内に存在するMOSトランジスタ同士間、および、互いに隣接する別の画素内に存在するMOSトランジスタ同士間に形成される。

【0012】このような構成によれば、撮像領域および周辺領域において、素子分離部が、基板を侵食しない絶縁膜および不純物拡散領域から選ばれる少なくとも一方で構成されるため、基板にかかるストレスが小さくなり、リーク電流を抑制することができる。その結果、リーク電流に起因した雑音を低減することができる。

【0013】前記MOS型撮像装置においては、前記不

(3)

特開2002-270808

4

純物拡散領域が、イオン注入により形成されたものであることが好ましい。

【0014】また、前記MOS型撮像装置においては、前記絶縁膜の膜厚が、1~1000nmであることが好ましい。

【0015】また、前記MOS型撮像装置においては、前記撮像領域において、前記フォトダイオードに隣接するように形成された前記第1の素子分離部が、前記基板内に形成された不純物拡散領域で構成されていることが好ましい。

【0016】また、前記MOS型撮像装置においては、前記画素を構成するMOSトランジスタおよび前記駆動回路を構成するMOSトランジスタが、全てnチャンネルMOSトランジスタであるか、または、全てpチャンネルMOSトランジスタであることが好ましい。この好ましい例によれば、画素のMOSトランジスタと、駆動回路のMOSトランジスタとを同一構造とすることができるため、製造工程を簡素化することが可能となる。

【0017】また、前記MOS型撮像装置においては、前記駆動回路の少なくとも一部が、ダイナミック回路であることが好ましい。消費電力を低下させることができるからである。

【0018】前記MOS型撮像装置においては、前記フォトダイオードの表層部に、暗電流抑制層が形成されていることが好ましい。この好ましい例によれば、フォトダイオード上の基板表面付近の欠陥から発生するリーク電流を抑制することができる。

【0019】

【発明の実施の形態】図2は、本発明のMOS型撮像装置の一例を示す図である。この固体撮像装置は、複数の画素6が一次元状または二次元状に配置された撮像領域7と、その周囲に配置された周辺回路領域とを備えている。

【0020】撮像領域7を構成する各画素6は、フォトダイオード1と、転送用トランジスタ2、リセット用トランジスタ3、増幅用トランジスタ4および選択用トランジスタ5の4個のMOSトランジスタとを含んでいる。転送用トランジスタ2は、フォトダイオード1をソースとし、ドレインが増幅用トランジスタ4のゲートと電気的に接続されている。増幅用トランジスタ4は、ドレインが電源電圧と、ソースが選択用トランジスタ5のドレインと電気的に接続されている。また、リセット用トランジスタ2は、ソースが転送用トランジスタ2のドレインと、ドレインが電源電圧と電気的に接続されている。また、選択用トランジスタ5は、ソースが出力線に接続されている。

【0021】各トランジスタの役割を簡単に説明すると、転送用トランジスタ2は、フォトダイオード1で光電変換されて発生した信号電荷を検出部(転送用トランジスタ2のドレイン)に転送するためのトランジスタで

50

5

ある。検出部は、信号電荷を蓄積し、その電荷に応じた電圧を増幅用トランジスタ4へ入力するという機能を果たす。増幅用トランジスタ4は、検出部の電圧を増幅する機能を果たし、選択用トランジスタ5は、増幅用トランジスタ4の出力を取り出すスイッチであり、信号を読み出す画素を選択する機能を果たす。また、リセット用トランジスタ2は、検出部に蓄積された信号電荷を一定時間毎に排出する機能を果たす。

【0022】図1(a)および図1(b)は、MOSトランジスタおよびその周辺の構造の一例を示す断面図である。このMOSトランジスタ12においては、p型半導体基板11(または、p型ウェル)内に、n型拡散領域であるソース14およびドレイン15が形成されている。ソース14とドレイン15との間に対応する半導体基板11上には、絶縁膜16を介して、ゲート電極17が形成されている。

【0023】また、図1(a)および図1(b)に示すように、MOSトランジスタ12同士間は素子分離部13により電気的に分離されている。素子分離部13は、図1(a)に示すような、半導体基板11上に分離酸化膜18が形成された構造、または、図1(b)に示すような、半導体基板11内に分離拡散領域19が形成された構造とすることができる。また、分離酸化膜18および分離拡散領域19の両方が形成された構造であってもよい。なお、この素子分離部の構造については、後に詳説する。

【0024】フォトダイオード1は、p型半導体基板(またはp型ウェル)内に形成されたn型拡散領域である。前述したように、フォトダイオードは転送用トランジスタのソースを構成しており、他のMOSトランジスタのソースと同様に、フォトダイオードに隣接する領域には素子分離部が形成されている。

【0025】更に、フォトダイオードであるn型拡散領域の表層部には、暗電流抑制層として、p型拡散領域が形成されていることが好ましい。この場合、暗電流抑制層は、フォトダイオードに隣接するように形成された素子分離部にまで伸長していることが好ましい。すなわち、素子分離部が分離酸化膜で構成される場合は、分離酸化膜の下方にまで伸長していることが好ましく、素子分離部が分離拡散領域で構成される場合は、分離拡散領域内にまで伸長していることが好ましい。

【0026】なお、上記説明においては、各画素を構成するMOSトランジスタとして、nチャンネルMOSトランジスタを用いた場合を例示したが、pチャンネルMOSトランジスタを用いることも可能である。この場合、MOSトランジスタは、n型半導体基板(または、n型ウェル)内に、p型拡散領域であるソースおよびドレインが形成された構造となる。また、フォトダイオードはp型拡散領域で構成され、暗電流抑制層はn型拡散領域で構成される。

6

【0027】周辺回路領域は、図2に示すように、画素選択のための水平シフトレジスタ8および垂直シフトレジスタ9、これらのシフトレジスタの動作に必要なパルスを供給するタイミング発生回路10などの駆動回路を含んでいる。

【0028】駆動回路は、複数のMOSトランジスタを含んでおり、このMOSトランジスタ同士間は素子分離部で電気的に分離されている。素子分離部の構造としては、撮像領域における素子分離部と同様の構造を採用することができる。すなわち、半導体基板上に分離酸化膜が形成された構造、半導体基板内に分離拡散領域が形成された構造、または、分離酸化膜および分離拡散領域の両方が形成された構造とすることができる。この素子分離部の構造については、後に詳説する。

【0029】駆動回路を構成するMOSトランジスタの構造としては、前述したような、画素を構成するMOSトランジスタと同様の構造を採用することができる。これらのMOSトランジスタは、全てがnチャンネルMOSトランジスタであるか、または、全てがpチャンネルMOSトランジスタであることが好ましい。特に、駆動回路の高速動作を実現できることから、全てのMOSトランジスタが、nチャンネルMOSトランジスタであることが好ましい。

【0030】この場合、消費電力の低下を図るため、駆動回路はダイナミック回路を用いて構成されることが好ましい。図3は、水平シフトレジスタおよび垂直シフトレジスタに用いることが可能なダイナミック回路の一例を示す回路図である。通常、ダイナミック回路は、容量(図3の20a、20bおよび20c)にデータをダイナミックに保持するため、リーク電流が大きいと、データがリーク電流により破壊されるおそれがある。しかし、本実施形態においては、駆動回路のMOSトランジスタ間を分離する素子分離部として、リーク電流の小さい構造を採用しているため、このような問題を軽減することができる。

【0031】また、本実施形態においては、撮像領域の画素を構成するMOSトランジスタおよび周辺回路領域の駆動回路を構成するMOSトランジスタが、全てnチャンネルMOSトランジスタであるか、または、全てpチャンネルMOSトランジスタである。特に、撮像装置の高速動作を実現できることから、撮像領域および周辺回路領域における全てのMOSトランジスタが、nチャンネルMOSトランジスタであることが好ましい。

【0032】更に、撮像領域の画素を構成するMOSトランジスタおよび周辺回路領域の駆動回路を構成するMOSトランジスタは、全て同一構造を有していることが好ましい。製造プロセスの簡素化を図ることができるからである。

【0033】次に、撮像領域および周辺回路領域における、MOSトランジスタ間の素子分離部について説明す

10

20

30

40

50

る。

【0034】前述したように、撮像領域および周辺回路領域のいずれにおいても、素子分離部の構造としては、半導体基板上に分離酸化膜が形成された構造（以下、

「第1の形態」という。）、または、半導体基板内に分離拡散領域が形成された構造（以下、「第2の形態」という。）が採用される。

【0035】図1(a)は、第1の形態に係る素子分離部の一例を示す断面図である。この素子分離部13においては、半導体基板11上に分離酸化膜18が形成されている。分離酸化膜18は、半導体基板11を侵食しない膜であり、例えば、半導体基板の平坦な表面に形成された堆積膜である。このような分離酸化膜18は、例えば、CVD法などにより形成することができる。

【0036】分離酸化膜18の膜厚は、MOSトランジスタ12を電氣的に分離できる膜厚であれば特に限定するものではないが、例えば1~1000nm、好ましくは3~400nm、更に好ましくは4~200nmである。

【0037】図1(b)は、第2の形態に係る素子分離部の一例を示す断面図である。この素子分離部13においては、半導体基板11内に、分離拡散領域19が形成されている。この第2の形態によれば、前記第1の形態よりも更に優れたリーク電流抑制効果を得ることができる。分離拡散領域19としては、nチャンネルMOSトランジスタ同士間を分離する場合はp型拡散領域が用いられ、pチャンネルMOSトランジスタ同士間を分離する場合はn型拡散領域が用いられる。この分離拡散領域19は、例えば、半導体基板内にp型またはn型不純物をイオン注入することにより形成することができる。

【0038】分離拡散領域19の不純物濃度および拡散深さについては、MOSトランジスタ12を電氣的に分離できればよく、特に限定するものではない。不純物濃度は、例えば $10^{14} \sim 10^{22} \text{ cm}^{-3}$ 、好ましくは $10^{15} \sim 10^{20} \text{ cm}^{-3}$ 、更に好ましくは $10^{17} \sim 10^{20} \text{ cm}^{-3}$ であり、拡散深さは、例えば0 μm を超え且つ7 μm 以下、好ましくは0 μm を超え且つ2 μm 以下、更に好ましくは0 μm を超え且つ1 μm 以下である。

【0039】また、素子分離部は、分離酸化膜および分離拡散領域を併用した構造であってもよい（以下、このような構造を「第3の形態」という。）。このような構造によれば、分離酸化膜と半導体基板との界面でリーク電流が発生した場合でも、このリーク電流を分離拡散領域で再結合させることができるため、更なるリーク電流低減効果が得られる。

【0040】撮像領域においては、少なくともフォトダイオードに隣接する素子分離部の構造として、前記第2の形態を採用することが好ましい。優れたリーク電流抑制効果を得ることができるからである。また、撮像領域におけるその他の素子分離部の構造としては、前記第2

の形態を採用することもできるが、特に、前記第1の形態または第3の形態を採用することが好ましい。画素内の増幅回路の高速動作を実現することができるからである。

【0041】一方、周辺回路領域においては、素子分離部の構造として、前記第1の形態または第3の形態を採用することが好ましい。駆動回路の高速動作を実現することができるからである。

【0042】撮像領域における素子分離部の構造と、周辺回路領域における素子分離部の構造は、第1の形態、第2の形態および第3の形態から、それぞれ個別に選択することができる。以下に、その組み合わせの好適な例を挙げる。

【0043】第1番目の例は、撮像領域における素子分離部と周辺回路領域における素子分離部とを同一構造とするものである。この場合、素子分離部の構造としては、前記第2の形態を採用することもできるが、特に、前記第1の形態または第3の形態を採用することが好ましい。

【0044】第2番目の例は、撮像領域における素子分離部の構造として、前記第2の形態を採用し、周辺回路領域における素子分離部の構造として、前記第1の形態または前記第3の形態を採用したものである。このような構造によれば、フォトダイオードに漏れ込むリーク電流を低減し、且つ、駆動回路の高速化を実現できる。

【0045】第3番目の例は、撮像領域においては、フォトダイオードに隣接する素子分離部の構造として前記第2の形態を、その他の素子分離部の構造として前記第1の形態または前記第3の形態を採用し、且つ、周辺回路領域においては、素子分離部の構造として、前記第1の形態または前記第3の形態を採用したものである。このような構造によれば、フォトダイオードに漏れ込むリーク電流を低減し、且つ、駆動回路および画素内の増幅回路の高速化を実現できる。

【0046】

【発明の効果】以上説明したように、本発明のMOS型撮像装置によれば、MOSトランジスタ同士間の素子分離部を特定の構造とすることにより、リーク電流に起因した雑音を低減することができる。

【図面の簡単な説明】

【図1】 本発明のMOS型撮像装置を構成するMOSトランジスタおよび素子分離部の構造の一例を示す断面図である。

【図2】 本発明のMOS型撮像装置の構成を示す図である。

【図3】 本発明のMOS型撮像装置の駆動回路に用い得るダイナミック回路の一例を示す回路図である。

【図4】 従来のMOS型撮像装置を構成するCMOSトランジスタ及び素子分離部の構造を示す断面図である。

(6)

特開2002-270808

9

10

【図5】 従来のMOS型撮像装置を構成するCMOSトランジスタ及び素子分離部の構造を示す断面図である。

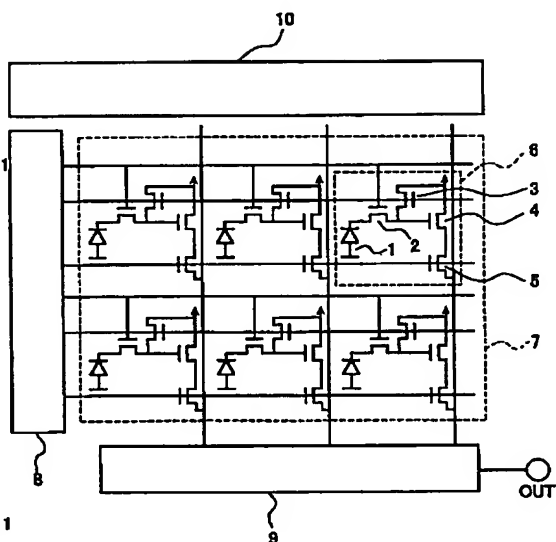
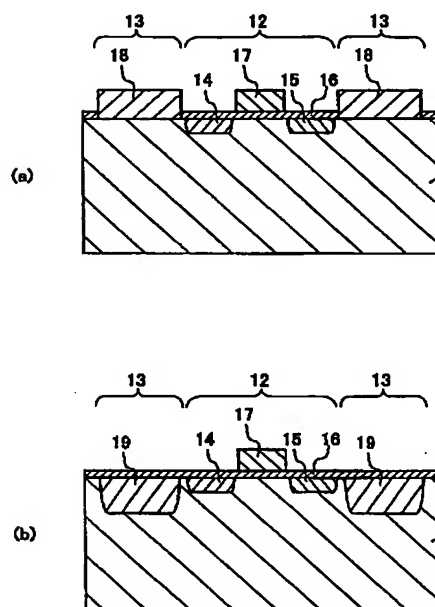
【符号の説明】

- 1 フォトダイオード
2, 3, 4, 5 MOSトランジスタ
6 画素
7 撮像領域
8 垂直シフトレジスタ
9 水平シフトレジスタ

- 10 タイミング発生回路
11 半導体基板
12 MOSトランジスタ
13 素子分離部
14 ソース
15 ドレイン
16 ゲート絶縁膜
17 ゲート
18 分離酸化膜
19 分離拡散領域

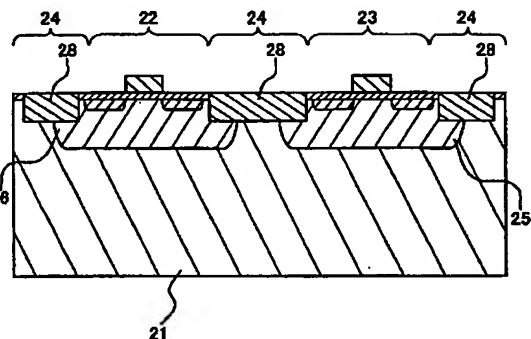
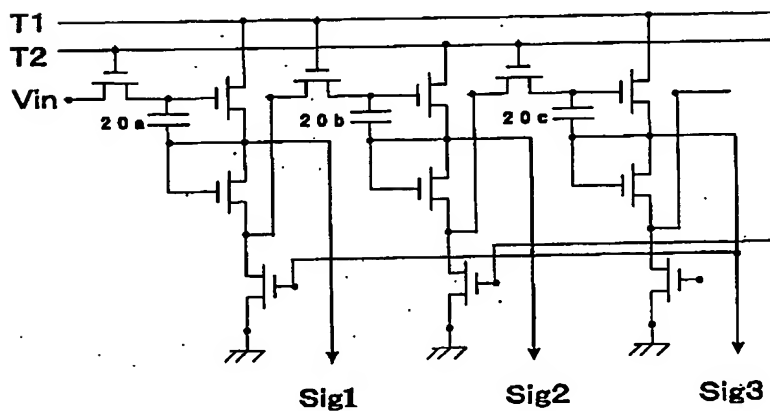
【図1】

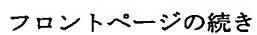
【図2】



【図3】

【図5】





F ターム(参考) 4M118 AA05 AA10 AB01 BA14 CA02
CA04 FA06 FA08 FA26 FA28
FA42
5F048 AA04 AA07 AA09 AC01 AC03
AC10 BE03 BG12
5F049 MA02 NA04 NB05 QA03 RA04
SZ20 UA01 UA12 UA13